

引用格式: 安刚, 唐硕, 王轩, 等. 基于 TCAD 模型仿真的 65 纳米 CMOS 标准单元单粒子闩锁效应防护设计[J]. 微电子学与计算机, 2021, 38(5): 73-79. [AN G, TANG S, WANG X, et al. Modeling and mitigating single event latch-up in 65nm CMOS standard cell[J]. Microelectronics & Computer, 2021, 38(5): 73-79. ]

# 基于 TCAD 模型仿真的 65 纳米 CMOS 标准单元 单粒子闩锁效应防护设计

安 刚, 唐 硕, 王 轩, 史 合, 王倩琼, 邓星星  
(西安空间无线电技术研究院, 陕西 西安 710100)

**摘 要:** 为提高标准单元在空间辐射条件下抗单粒子闩锁能力, 基于 65 nm CMOS 工艺使用 TCAD 工具建立了 4 种保护环结构的 3D 模型. 设计对比了多种抗单粒子闩锁加固方法, 对抗辐射性能和设计开销进行了优化. 仿真结果显示, 使用半封闭型保护环结构可在满足抗辐照要求的情况下最小化设计开销, 同时通过模拟辐照仿真对该结构的关键设计参数进行了优化. 基于提出的版图加固设计标准单元开发了测试芯片并完成了重粒子试验, 经过  $99.8 \text{ MeV} \cdot \text{cm}^2/\text{mg}$  重离子辐照未观察到闩锁现象.

**关键词:** 单粒子闩锁; CMOS; TCAD; LET; 重离子试验

**中图分类号:** TN433

**文献标识码:** A

**文章编号:** 1000—7180(2021)05—0073—07

## Modeling and mitigating single event latch-up in 65nm CMOS standard cell

AN Gang, TANG Shuo, WANG Xuan, SHI He,  
WANG Qian-qiong, DENG Xing-xing

(Xi'an Institute of Space Radio Technology, No. 504 Changan street, Xi'an 710100, China)

**Abstract:** Aiming to improve the single event latch-up (SEL) performance of CMOS stand cell in 65-nm process, 3D models of four guard ring had been built up by using Technology Computer Aided Design (TCAD) tool. Several different structures had been compared with TCAD simulation to compromise the anti-SEL performance and design costs. The simulation results showed that the unclosed guard ring structures was the best choice for stand cell of 65-nm, and the key design parameters of the structure are optimized by simulating irradiation simulation. A test chip using proposed radiation harden library had been tested in heavy ion experiment and no SEL occurred up to a LET of  $99.8 \text{ MeV}/\text{mg}/\text{cm}^2$ .

**Key words:** single event latch-up; complementary metal oxide semiconductor; technology computer aided design; linear energy transfer; heavy iron experiment

### 1 引言

CMOS 集成电路的闩锁效应<sup>[1-4]</sup>是一种在电源和地之间形成低阻抗电流通路, 进而产生大电流烧毁电路的效应, 其原理是半导体内部的寄生 PN 结会形成 n-p-n-p 的可控硅结构, 在特定条件下引发

闩锁效应. 单粒子闩锁是 CMOS 器件在空间环境下失效的主要原因之一, 在重离子轰击下, 阱/衬底 p-n 结内会出现单粒子电流, 引起阱内产生电压降. CMOS 工艺下寄生闩锁结构如图 1 所示, 当器件因为重离子入射而产生闩锁电流时, N 阱寄生电阻  $r_{sw}$  两端的电势差增大, 使垂直方向的寄生双极性晶体

管将开启,放大基极电流并形成一个大的 P 衬底电流后进一步开启水平方向的寄生双极性晶体管,形成正反馈回路。一旦闩锁结构被触发,闩锁电流将在短时间内迅速增大,进而对器件造成永久损伤乃至整体功能失效。

版图面积及功耗增大而带来的设计开销会直接影响 ASIC 的性能。

## 2 保护环版图设计

如图 2 所示,保护环结构在本质上是 P+/N+ 有源区左右两侧阱接触的延伸,其原理是在闩锁结构的阱/衬底内增加了并联电阻,如图 3 中的电阻  $r$ 。通过这种并联电阻结构降低寄生阱/衬底内寄生电阻值,进而降低闩锁反馈环路的增益,降低寄生 PNP 管的基极与电源的电位差,免疫在重离子轰击下,器件内器件 PNP 三极管的开启。同时,阱接触的增加可以提升器件对感应电荷的吸收能力,缩短闩锁电流的恢复时间,降低 CMOS 电路 SEL 的敏感度,减小单粒子闩锁的风险<sup>[12]</sup>。

图 1 PNP 半导体可控硅截面图

在宇航应用中,抗单粒子闩锁设计对于超深亚微米工艺的可靠性至关重要,器件的可靠性不足会导致整个卫星系统的失效。目前最广泛使用的抗单粒子闩锁防护设计为抗辐照设计防护(Radiation Hardening by Design, RHBD)<sup>[5]</sup>和抗辐照工艺防护(Radiation Hardening by Process, RHBP)<sup>[6]</sup>。工艺加固设计中,通常使用全耗尽型绝缘体上硅<sup>[7-10]</sup>(Full depletion Silicon on insulation, FD-SOI),SOI 工艺中的埋氧层可以避免形成寄生的 PNP 晶闸管四层结构,从根本上阻止可控硅结构的形成。这种方法虽然可以有效的解决单粒子闩锁问题,但由于埋氧层会俘获大量的粒子,进而引发另一个常见的空间辐射效应——总剂量效应(TID),导致器件性能的大幅降低<sup>[11]</sup>。

在使用抗辐照设计防护方法进行加固设计时,其关键点在于如何通过较少的设计开销来实现抗辐照加固效果。由于使用设计加固的抗辐照标准单元不需要通过特殊工艺实现,可以广泛应用于商用工艺,并且在进行专用集成电路(ASIC)设计时不需引入额外的设计流程,是目前更为常用的抗辐照加固手段。通过对单粒子闩锁效应的形成机制进行分析,进行单粒子闩锁设计加固时需要遵循两条基本的设计原则,一个是减小阱/衬底寄生电阻,另一个是减小闩锁结构中寄生晶体管的增益,避免闩锁结构中正反馈回路电流的不断增大。在之前的研究中保护环结构<sup>[4]</sup>已经被公认为最有效的可同时实现以上两个原则的加固方法,但是实现过程中保护环的结构种类非常多,同时其加固效果与关键参数的设计有着密切的关系。在加固设计不足的情况下,器件会面临较大的单粒子闩锁风险,而当防护余量过大时,由

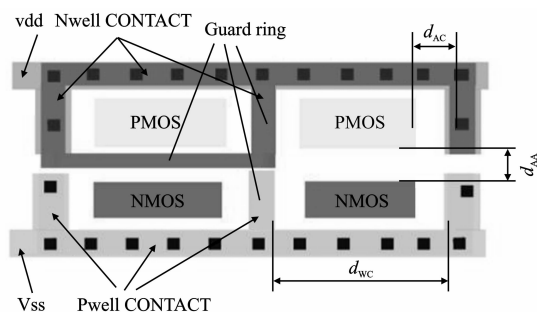


图 2 保护环版图设计

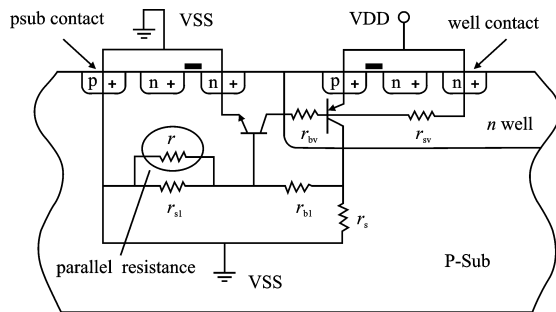


图 3 保护环结构引入的并联电阻

在图 2 中标出了保护环 3 个关键的设计参数,包括  $d_{wc}$ 、 $d_{aa}$  和  $d_{ac}$ 。其中  $d_{wc}$  是保护环垂直方向阱接触的间距,器件保护环间距缩短可有效吸收入射粒子产生的感应电荷。但应注意的是,当保护环的间距过小,会导致器件速面积增大、速率降低。 $d_{aa}$  是 PMOS 和 NMOS 管有源区的间距,增大该参数,相当于加大横向寄生 NPN 晶体管的基区宽度,从而降低了寄生三极管的增益,减小闩锁发生的概率。 $d_{ac}$  为阱接触到有源区的距离,缩短该间距会减小衬底和阱的阻值,当重离子引起的感应电流一定时,电阻两端的寄生三极管发射极-基极电压降低,正反馈

得到减弱,进而降低了器件电路单粒子门锁的敏感性<sup>[12]</sup>.对于较为复杂的器件,不合理的参数设定会影响版图布局,部分情况下器件面积会增加 50% 以上,从而引起性能衰.因此通过合理设计关键参数,将面积额外开销控制在 20% 以内是十分必要的.为了确定最合适的保护环设计,在本文中对以下四种保护环结构进行了建模对比仿真,示意如图 4~7.

图 4 中为保护环 a 的示意图,在 P+/N+ 有源区两侧分别纵向环绕 NMOS/PMOS 阱接触,在 NMOS 器件和 PMOS 器件之间无水平方向阱接触.

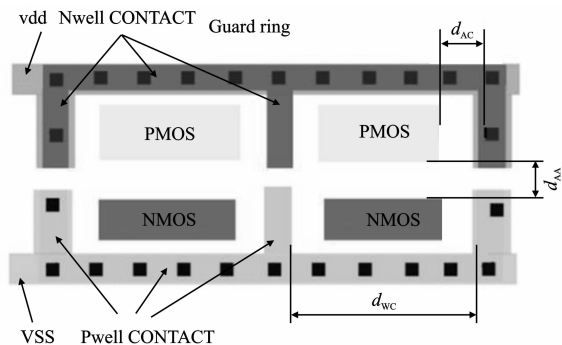


图 4 NMOS 和 PMOS 半封闭型保护环

图 5 中所示的保护环 b 在 a 结构基础上增加了 N 管上方水平方向阱接触,并和垂直方向阱接触形成了闭口结构.

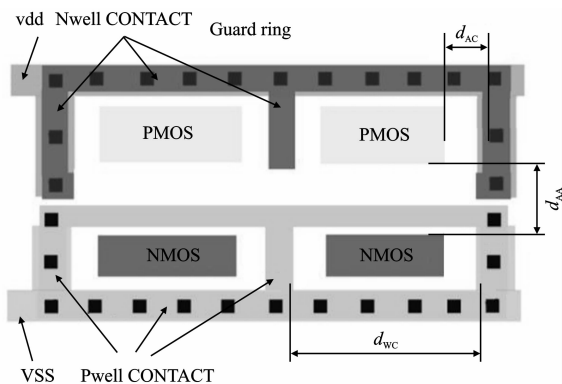


图 5 PMOS 半封闭和 NMOS 全封闭型保护环

图 6 中所示的保护环 c 在 a 结构基础上增加了 P 管下方水平方向阱接触,并和垂直方向阱接触形成了封闭结构.

图 7 中所示的保护环 d 在 a 结构基础上同时增加了 N 管 P 管水平方向阱接触,并和垂直方向阱接触形成了封闭式结构.

通过对比可以看出结构 a 的面积开销最小,这是由于 NMOS 和 PMOS 之间没有阱接触设计,有源区距离最小.结构 b 和结构 c 由于引入了单侧水

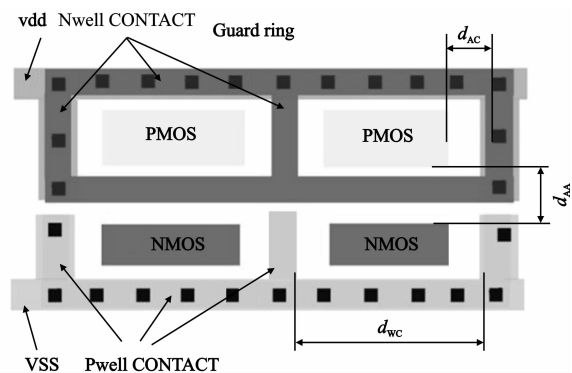


图 6 PMOS 全封闭和 NMOS 半封闭型保护环

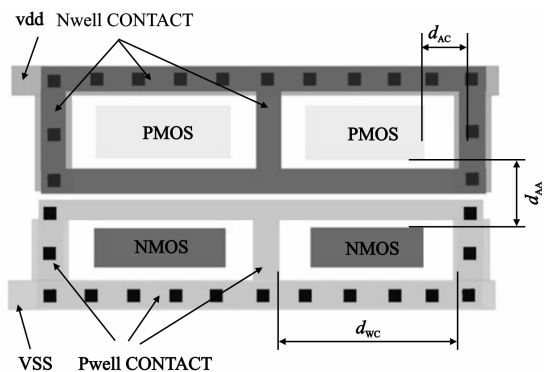


图 7 NMOS 和 PMOS 全封闭型保护环

平方向阱接触,在一定程度上增加了有源区距离,增大了面积开销.结构 d 由于同时引入了 NMOS 和 PMOS 阱接触,其设计的面积开销最大.标准单元的工作速率在一定程度上随着面积的增加而降低,所以通过原理分析可知,结构 a 的加固效果最弱,设计开销最小,结构 d 的加固效果最好,设计开销最大.

### 3 建模与仿真

本文基于 SMIC 65nm 工艺通过使用 TCAD 工具对以上四种保护环结构进行了建模仿真<sup>[13-14]</sup>,对抗单粒子门锁能力进行了对比.在仿真中,对设计原则进行了验证并优化了设计参数以获取最优的抗辐照能力.

图 8 为 CMOS 器件的 3D TCAD 模型,图上两条较长的金属带分别是 N 阱接触和 P 衬接触,两条较短的金属带分别为 N+ 有源区和 P+ 有源区.保护环的结构以及设计参数可根据设计需要进行调整,在仿真中,硅衬底的厚度为设定为 60  $\mu\text{m}$ ,在 X 轴和 Y 轴方向外扩 50  $\mu\text{m}$ ,单个器件模型的格点数超过 21 万个.图 9~13 为未加固的器件模型分别对应 a-d 四种加固器件的模型.

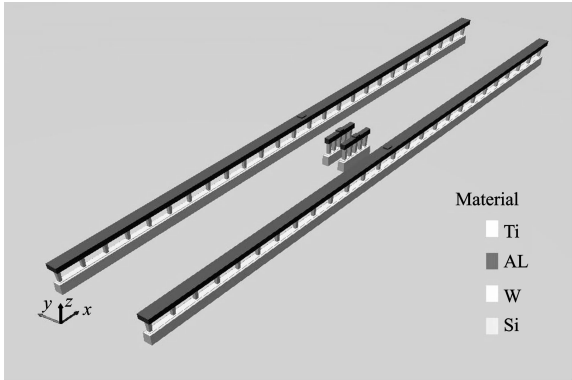


图 8 标准单元 3D TCAD 模型

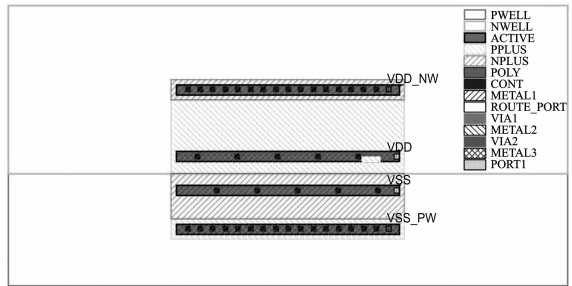


图 9 未加固标准单元模型

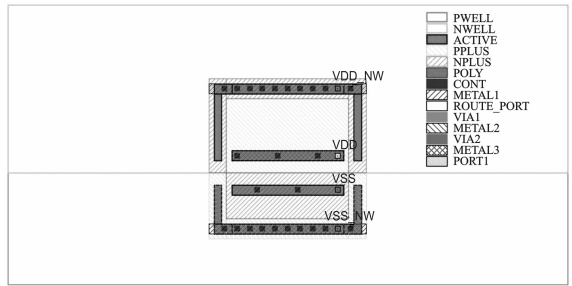


图 10 结构 a 标准单元模型

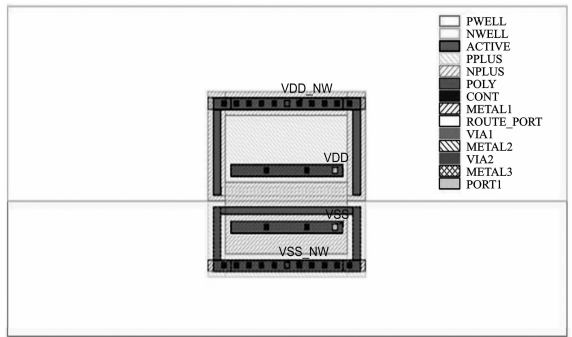


图 11 结构 b 标准单元模型

为了更好的验证防护效果,仿真采取较恶劣的环境参数,同时电源/地的间距为  $2.4\text{ }\mu\text{m}$ ,与 12track 商用标准单元一致. 每组试验均使用了 200 个重离子对器件不同位置进行模拟入射,如图 14 所

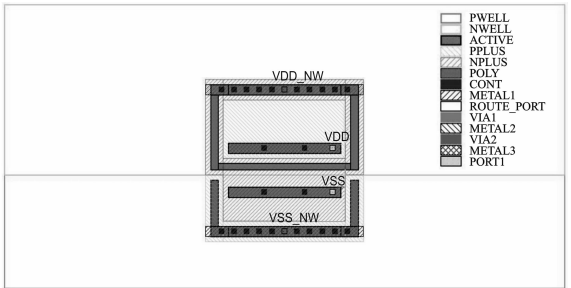


图 12 结构 c 标准单元模型

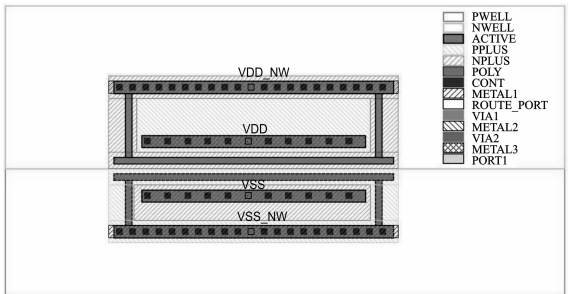


图 13 结构 d 标准单元模型

示. 所有重粒子均随机入射在 N+/P+有源区.

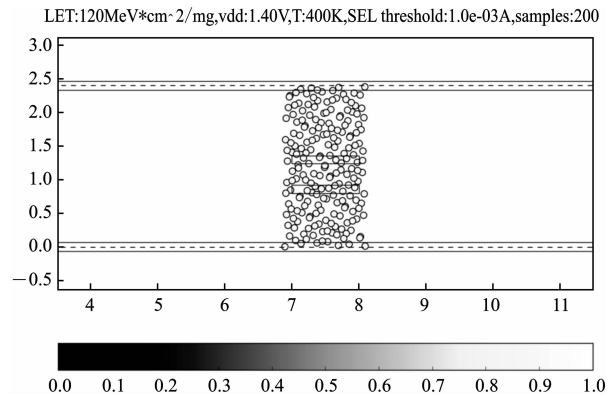


图 14 重离子入射分布图

所有环境参数设置具体如下所示:

- (1)温度: 400 K
- (2)工作电压:  $1.4\text{ V}(V_{\text{dd}}+0.2\text{ V})$
- (3)重离子 LET :  $0\sim120\text{ MeV/mg/cm}^2$
- (4)单粒子门锁电流阈值: 1 mA
- (5)入射粒子数: 200
- (6)关键参数  $d_{\text{WC}}$ 、 $d_{\text{AA}}$  和  $d_{\text{AC}}$  动态优化

TCAD 仿真结果显示,对比未加固器件,在使用保护环加固后,CMOS 器件的抗辐照能力得到了显著的提升. 图 15 为未加固器件的仿真结果,在重离子入射后,SEL 电流迅速增加到 20 mA 并维持了 100 ns,此时器件发生了单粒子门锁.

4 种不同类型加固器件的仿真结果如图 16~19

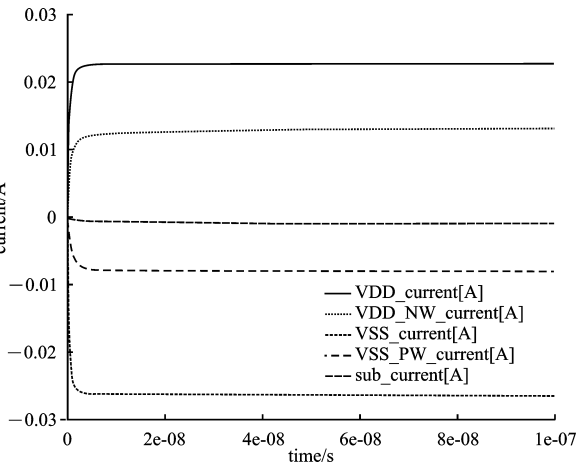


图 15 未加固器件 TCAD 仿真结果

所示. 其中图 16 为结构 a 的仿真结果,在仿真过程中,当 LET 为  $120 \text{ MeV} \cdot \text{cm}^2/\text{mg}$  的重离子入射时,SEL 电流增长到 5 mA 后开始减少,并在 15 ns 内减小至 0 mA. 结果表明,由于使用了半封闭式保护环,正反馈的增益得到了有效的降低,峰值电流由 20 mA 下降至 5 mA,同时由于保护环阱接触的存在,入射粒子的能量得到了有效的吸收,电流迅速降低至 0. 另外三种结构的仿真结果与结构 a 相似,差别在于重离子入射造成的峰值电流和恢复时间略有不同,但在 LET 为  $120 \text{ MeV} \cdot \text{cm}^2/\text{mg}$  的重离子入射时均成功阻止了单粒子门锁的发生. 其中图 19 所示的结构 d 在入射时所产生的峰值电流最小,这是由于该结构的正反馈增益最低,具有最佳的防护效果.

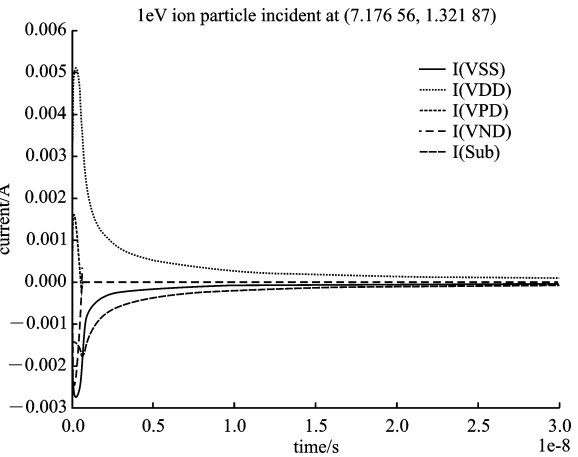


图 16 结构 a TCAD 仿真结果

考虑到半封闭式保护环的设计开销最小,本文选取该结构进行了进一步的仿真来确定最优化的设计参数. 经过多仿真优化后,保护环结构 a 的关键参数设计如下:

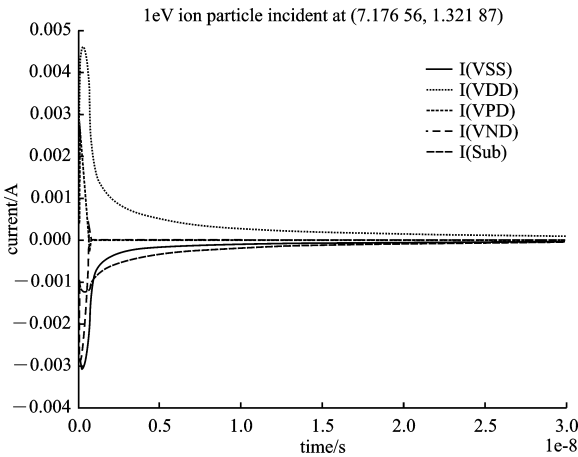


图 17 结构 b TCAD 仿真结果

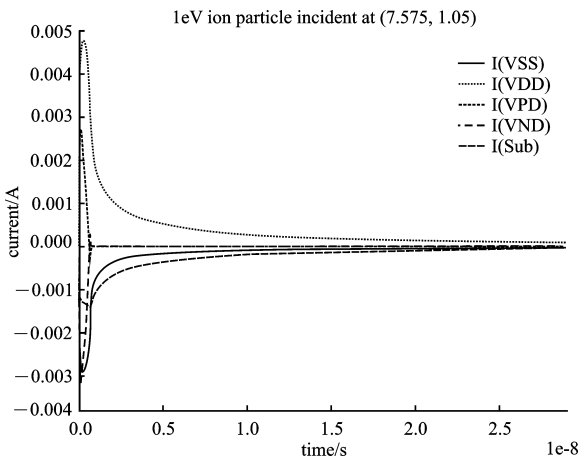


图 18 结构 c TCAD 仿真结果

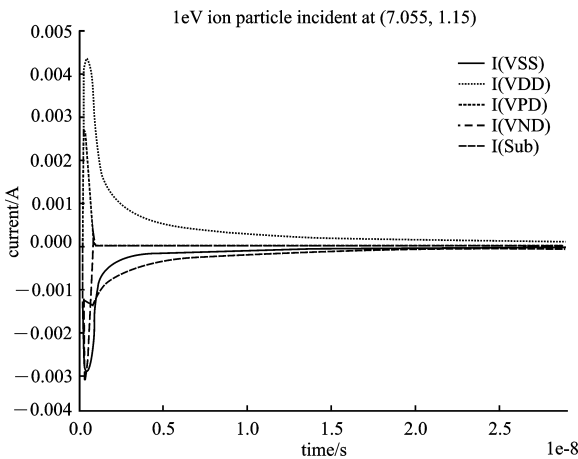


图 19 结构 d TCAD 仿真结果

- (1)垂直方向保护环最大间距  $d_{WC}$  为  $4 \mu\text{m}$ ;
- (2) N+ 与 P+ 有源区的最小间距  $d_{AA}$  为  $0.325 \mu\text{m}$ ;
- (3)CMOS 器件与保护环阱接触的最小间距  $d_{AC}$  为  $0.145 \mu\text{m}$ .

仿真结果表明,在采用以上参数进行 NMOS 和 PMOS 半封闭型保护环设计时,CMOS 器件具有最小的设计开销同时可有效避免单粒子闩锁效应的发生。

#### 4 重离子试验

基于以上单粒子闩锁加固方法,开发了一套 SMIC65nm 工艺抗辐照加固标准单元库并完成了测试芯片的研制,如图 20 为测试芯片版图。在兰州中科院近代物理研究所对测试芯片进行单粒子辐照试验,试验中使用了 Ta 粒子(LET 值  $81.35 \text{ MeV} \cdot \text{cm}^2/\text{mg}$ )和 Bi 粒子(LET 值  $99.8 \text{ MeV} \cdot \text{cm}^2/\text{mg}$ )对被测器件进行了辐照,重离子辐照束注量为  $10^7$  个,试验过程中电路未发生闩锁效应。

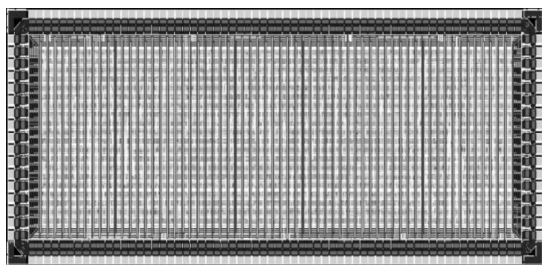


图 20 测试芯片版图

#### 5 结束语

本文对 4 种不同的保护环结构分别进行 TCAD 建模仿真,并与未加固器件进行了对比。仿真结果表明,4 种保护环结果均可有效防止单粒子闩锁的发生。在对防护效果和设计开销进行折中后,半封闭式保护环被选取并进行了进一步的优化仿真,确定其关键设计参数,并完成抗辐照标准单元库和测试芯片的开发。通过重离子试验验证表明,利用本文所设计的保护环结构和关键参数开发的抗辐照标准单元库具有较小的设计开销,并可有效防止单粒子闩锁的发生,其 LET 阈值大于  $99.8 \text{ MeV}/\text{mg}/\text{cm}^2$ 。

#### 参考文献:

- [1] GAMBLES J W, MAKI G K, WHITAKER S R. Radiation hardening by design[J]. International Journal of Electronics, 2008, 95 (1): 11-26. DOI: 10.1080/00207210701799526.
- [2] BOSELLI G, REDDY V, DUVVURY C. Latch-up in 65nm CMOS technology: a scaling perspective[C]//Proceedings of the 43rd Annual International Reliability Physics Symposium. San Jose, USA: IEEE, 2005.

- DOI: 10.1109/RELPHY.2005.1493075.
- [3] QUINCKE J. Analysis of latch-up neighborhood effects in VLSI CMOS input and output stages[J]. Microelectronics Reliability, 1990, 30 (1): 105-122. DOI: 10.1016/0026-2714(90)90016-G.
- [4] FARBIZ F, ROSENBAUM E. Understanding transient latchup hazards and the impact of guard rings [C]//Proceedings of 2010 IEEE International Reliability Physics Symposium. Anaheim, USA: IEEE, 2010: 466-473. DOI: 10.1109/IRPS.2010.5488787.
- [5] BHATTACHARYA S, BANERJEE S, LEE J, et al. Design issues for achieving latchup-free, deep trench-isolated, bulk, non-epitaxial, submicron CMOS[C]//Proceedings of the International Technical Digest on Electron Devices. San Francisco, USA: IEEE, 1990: 185-188. DOI: 10.1109/IEDM.1990.237197.
- [6] MENOZZI R, SELMI L, SANGIORGI E, et al. Layout dependence of CMOS latchup[J]. IEEE Transactions on Electron Devices, 1988, 35(11): 1892-1901. DOI: 10.1109/16.7402.
- [7] ZHAO K, LIU Z L, YU F. The avenue of FDSOI radiation hardening[C]//Proceedings of the 12th IEEE International Conference on Solid-State and Integrated Circuit Technology (ICSICT). Guilin, China: IEEE, 2014. DOI: 10.1109/ICSICT.2014.7021436.
- [8] RANICA R, PLANES N, WEBER O, et al. FDSOI process/design full solutions for ultra low leakage, high speed and low voltage SRAMs[C]//Proceedings of 2013 Symposium on VLSI Circuits. Kyoto, Japan: IEEE, 2013.
- [9] MORVAN S, ANDRIEU F, CASS M, et al. Efficiency of mechanical stressors in planar FDSOI n and p MOSFETs down to 14nm gate length[C]//Proceedings of 2012 Symposium on VLSI Technology (VLSIT). Honolulu, USA: IEEE, 2012. DOI: 10.1109/VLSIT.2012.6242486.
- [10] ANDRIEU F, CASS M, BAYLAC E, et al. Strain and layout management in dual channel (sSOI substrate, SiGe channel) planar FDSOI MOSFETs[C]//Proceedings of the 44th European Solid State Device Research Conference (ESSDERC). Venice Lido, Italy: IEEE, 2014. DOI: 10.1109/ESSDERC.2014.6948769.
- [11] FACCIO F, ALLONGUE B, BLANCHOT G, et al. TID and displacement damage effects in vertical and lateral power MOSFETs for integrated DC-DC converters[C]//Proceedings of 2009 European Conference on Radiation and Its Effects on Components and Sys-

- tems. Brugge, Belgium; IEEE, 2009. DOI: 10.1109/RADECS.2009.5994551.
- [12] 王轩, 巨艇, 周国昌, 等. 标准单元抗单粒子门锁效应加固设计[J]. 空间电子技术, 2019, 16(3): 44-47. DOI: 10.3969/j.issn.1674-7135.2019.03.007.
- WANG X, JU T, ZHOU G C, et al. Design of CMOS stand cell with SEL tolerance[J]. Space Electronic Technology, 2019, 16(3): 44-47. DOI: 10.3969/j.issn.1674-7135.2019.03.007.
- [13] STROHBEHN K, MARTIN M N. SPICE macro models for annular MOSFETs[C]//Proceedings of 2004 IEEE Aerospace Conference Proceedings (IEEE Cat. No. 04TH8720). Big Sky, USA: IEEE, 2004. DOI: 10.1109/AERO.2004.1368031.
- [14] 尹胜连, 冯彬. TCAD 技术及其在半导体工艺中的应用[J]. 半导体技术, 2008, 33(6): 480-482. DOI: 10.3969/j.issn.1003-353X.2008.06.006.
- YIN S L, FENG B. TCAD and its application in semiconductor process [J]. Semiconductor Technology, 2008, 33(6): 480-482. DOI: 10.3969/j.issn.1003-353X.2008.06.006.

#### 作者简介:

安 刚 男,(1978-),硕士,高级工程师.研究方向为机电微系统、卫星通信技术.

唐 硕 男,(1986-),硕士,工程师.研究方向为电路设计.

王 轩(通讯作者) 男,(1986-),硕士.高级工程师.研究方向为数模混合集成电路设计、抗辐射加固技术、ASIC/SoC 设计技术. E-mail:kosprince@vip.qq.com.

史 合 女,(1981-),硕士,工程师.研究方向为电路设计.

王倩琼 女,(1987-),博士,工程师.研究方向为抗辐射加固技术、ASIC/SoC 设计技术.

邓星星 男,(1994-),硕士,工程师.研究方向为抗辐射加固技术、ASIC/SoC 设计技术.